

# NONVOLATILE SEMICONDUCTOR MEMORY AND ITS OPERATING METHOD

Patent number: JP2001230332

Publication date: 2001-08-24

Inventor: FUJIWARA ICHIRO

Applicant: SONY CORP

Classification:

- International: H01L21/8247; H01L27/115; G11C16/04; H01L29/788; H01L29/792

- european:

Application number: JP20000269892 20000901

Priority number(s):

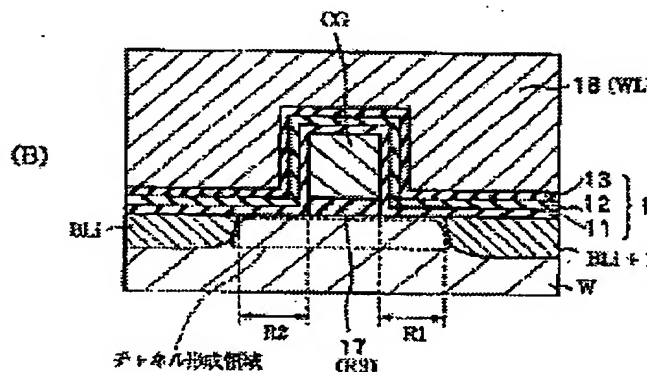
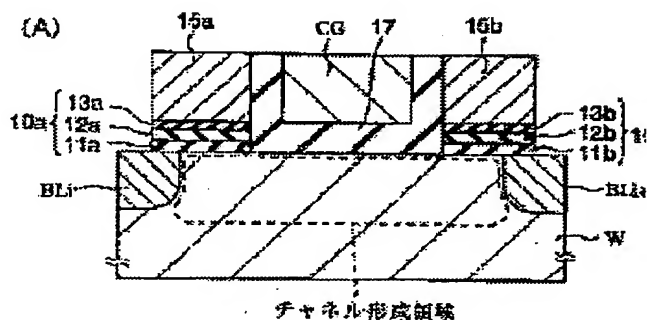
Also published as:

US6434053 (B1)  
US2002097621 (A)  
JP2001230332 (A)

## Abstract of JP2001230332

**PROBLEM TO BE SOLVED:** To improve the injection efficiency and locally inject charges in a part of distributed regions of charge storing means to store a plurality of bits in an MONOS type memory transistor.

**SOLUTION:** The memory comprises first conductivity type channel forming regions, second conductivity type source-drain regions (bit line BLi, BLi+1), gate insulation films 10a, 10b (or 10), 17 on the channel forming regions, gate electrodes 15a, 15b (or 18), CG, and charge storing means (charge traps) which are discretized in a plane facing the channel forming regions and in a film thickness direction and formed in the gate insulation films so that, in operation, hot electrons due to e.g. an inter-band tunnel current are injected from the source-drain regions. In the gate insulation film, a third region 17 (R3) having no charge storing means exists between a first memory area 10a (R1) and a second memory area 10b (R2) into which the hot electrons are injected locally.



(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開 2001-230332

(P2001-230332A)

(43) 公開日 平成13年8月24日(2001.8.24)

(51) Int. Cl.<sup>7</sup>

識別記号

F I

テーマコード(参考)

H01L 21/8247

H01L 27/10 434 5B025

27/115

G11C 17/00 621 Z 5F001

G11C 16/04

622 5F083

H01L 29/788

H01L 29/78 371

29/792

審査請求 未請求 請求項の数 40 O L

(全28頁)

(21) 出願番号 特願2000-269892(P2000-269892)

(71) 出願人 000002185

ソニー株式会社

(22) 出願日 平成12年9月1日(2000.9.1)

東京都品川区北品川6丁目7番35号

(31) 優先権主張番号 特願平11-346812

(72) 発明者 藤原 一郎

東京都品川区北品川6丁目7番35号 ソニー

(32) 優先日 平成11年12月6日(1999.12.6)

株式会社内

(33) 優先権主張国 日本(JP)

(74) 代理人 100094053

弁理士 佐藤 隆久

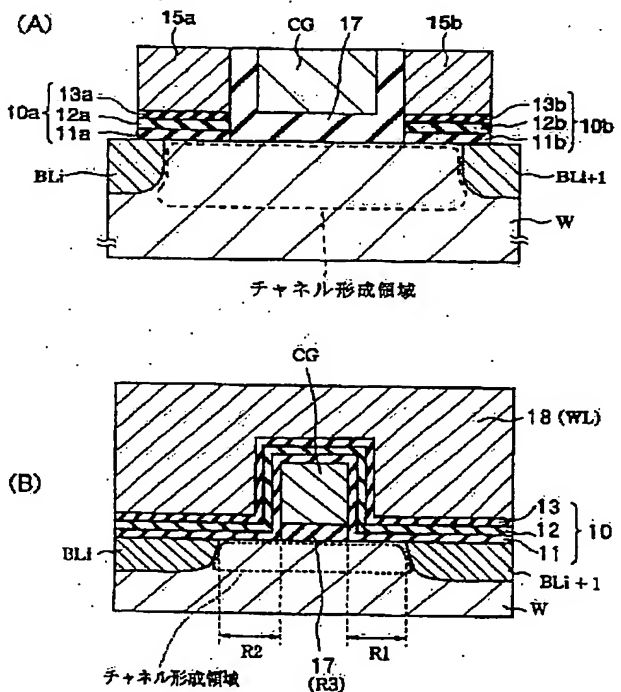
最終頁に続く

(54) 【発明の名称】 不揮発性半導体記憶装置およびその動作方法

(57) 【要約】

【課題】 MONOS型メモリトランジスタにおいて、注入効率を上げ、また電荷蓄積手段の分布領域の一部に電荷を局所的に注入して複数ビットを記憶する。

【解決手段】 第1導電型のチャネル形成領域と、第2導電型のソース・ドレイン領域(ビット線 $BL_i$ 、 $BL_{i+1}$ )と、チャネル形成領域上のゲート絶縁膜10aと10b(または10)および17、ゲート電極15aと15b(または18)およびCGと、チャネル形成領域に対向した面内および膜厚方向に離散化されてゲート絶縁膜内に形成され、動作時に、たとえばバンド間トンネル電流に起因したホットエレクトロンがソース・ドレイン領域から注入される電荷蓄積手段(電荷トラップ)とを有する。ゲート絶縁膜内で、局所的にホットエレクトロンが注入される第1記憶領域10a(R1)と第2記憶領域10b(R2)に挟まれて、電荷蓄積手段を有しない第3の領域17(R3)が存在する。



上記第1副線と上記第2副線との間に、上記複数のメモリトランジスタが並列接続されている請求項14記載の不揮発性半導体記憶装置。

【請求項16】上記チャネル形成領域、上記ソース・ドレイン領域、上記ゲート絶縁膜および上記ゲート電極を有するメモリトランジスタがワード方向とビット方向に複数配置され、

上記2つのソース・ドレイン領域が第2導電型不純物が添加された半導体からなり、

1つの上記メモリトランジスタの上記ソース・ドレイン領域の一方と、ワード方向に隣接する他の上記メモリトランジスタの上記ソース・ドレイン領域の他方との間に素子分離絶縁層を有した請求項1記載の不揮発性半導体記憶装置。

【請求項17】上記電荷蓄積手段は、すくなくとも外部との間で電荷の移動がない場合に、上記チャネル形成領域に対向する面全体としての導電性を持たない請求項1記載の不揮発性半導体記憶装置。

【請求項18】上記ゲート絶縁膜は、上記チャネル形成領域上のボトム絶縁膜と、

当該ボトム絶縁膜上の窒化膜または酸化窒化膜とを含む請求項17記載の不揮発性半導体記憶装置。

【請求項19】上記ゲート絶縁膜は、上記チャネル形成領域上のボトム絶縁膜と、

上記電荷蓄積手段としてボトム絶縁膜上に形成され互いに絶縁された小粒径導電体とを含む請求項17記載の不揮発性半導体記憶装置。

【請求項20】第1導電型半導体からなるチャネル形成領域と、

第2導電型半導体からなり上記チャネル形成領域を挟む2つのソース・ドレイン領域と、

上記チャネル形成領域上に設けられ、上記チャネル形成領域に対向した面内および膜厚方向に離散化された電荷蓄積手段を内部に含むゲート絶縁膜と、

当該ゲート絶縁膜上に設けられたゲート電極とを有する不揮発性半導体記憶装置の動作方法であって、

書き込み時に、ホットエレクトロンを上記ソース・ドレイン領域から上記電荷蓄積手段に注入する不揮発性半導体記憶装置の動作方法。

【請求項21】書き込み時に、バンド間トンネル電流に起因したホットエレクトロンを上記ソース・ドレイン領域から上記電荷蓄積手段に注入する請求項20記載の不揮発性半導体記憶装置の動作方法。

【請求項22】書き込み時に、上記ゲート絶縁膜内における上記電荷蓄積手段の分布領域の一部にホットエレクトロンを注入する請求項20記載の不揮発性半導体記憶装置の動作方法。

【請求項23】書き込み時に、一方の上記ソース・ドレイン領域から上記ゲート絶縁膜の第1記憶領域に上記ホットエレクトロンを注入し、

上記第1記憶領域へのホットエレクトロン注入と独立に、他方の上記ソース・ドレイン領域から上記ゲート絶縁膜内で上記第1記憶領域と離れた第2記憶領域にホットエレクトロンを注入する請求項21記載の不揮発性半導体記憶装置の動作方法。

【請求項24】上記ゲート絶縁膜は、上記第1、第2記憶領域間にホットエレクトロンが注入されない第3の領域を有し、

上記電荷蓄積手段が上記第1、第2記憶領域に形成され、

電荷蓄積手段の分布領域が上記第3の領域を介して空間的に分離されている請求項23記載の不揮発性半導体記憶装置の動作方法。

【請求項25】上記第1、第2記憶領域が複数の膜を積層した積層膜構造を有し、

上記第3の領域が単一材料の絶縁膜からなる請求項24記載の不揮発性半導体記憶装置の動作方法。

【請求項26】上記一方のソース・ドレイン領域から注入されたホットエレクトロンの保持領域と、上記他方のソース・ドレイン領域から注入されたホットエレクトロンの保持領域との少なくとも一部が、上記ゲート絶縁膜内で合体する請求項20記載の不揮発性半導体記憶装置の動作方法。

【請求項27】上記チャネル形成領域、上記2つのソース・ドレイン領域、上記ゲート絶縁膜および上記ゲート電極を有するメモリトランジスタのゲート長が、上記2つのホットエレクトロン保持領域の少なくとも一部で合体が起こるゲート長以下である請求項20記載の不揮発性半導体記憶装置の動作方法。

【請求項28】書き込み時に、上記ソース・ドレイン領域と上記ゲート電極との間に所定の書き込み電圧を印加する請求項20記載の不揮発性半導体記憶装置の動作方法。

【請求項29】上記チャネル形成領域、上記2つのソース・ドレイン領域、上記ゲート絶縁膜および上記ゲート電極を有したメモリトランジスタの上記ゲート絶縁膜が、一方の上記ソース・ドレイン領域からホットエレクトロンが注入される第1記憶領域、他方の上記ソース・ドレイン領域からホットエレクトロンが注入される第2記憶領域、および上記第1、第2記憶領域間でホットエレクトロンが注入されない第3の領域からなり、

上記メモリトランジスタの上記ゲート電極が、上記第1記憶領域上の第1ゲート電極、上記第2記憶領域上の第2ゲート電極、および上記第3の領域上の第3ゲート電極からなり、

上記メモリトランジスタがワード方向とビット方向とに複数配置されているメモリセルアレイに対する書き込みにおいて、

上記第1、第2記憶領域の一方に書き込むときは、他方側の上記第1、第2ゲート電極を電氣的にフローティン

上記電荷蓄積手段としてボトム絶縁膜上に形成され互いに絶縁された小粒径導電体とを含む請求項38記載の不揮発性半導体記憶装置の動作方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、メモリトランジスタのチャネル形成領域とゲート電極との間のゲート絶縁膜の内部に、平面的に離散化された電荷蓄積手段（例えば、MONOS型やMNOS型における窒化膜内の電荷トラップ、トップ絶縁膜と窒化膜との界面近傍の電荷トラップ、或いは小粒径導電体等）を有し、当該電荷蓄積手段に対し電荷を電気的に注入して蓄積し又は引き抜くことを基本動作とする不揮発性半導体記憶装置と、その動作方法とに関する。

【0002】

【従来の技術】不揮発性半導体メモリは、大容量で小型の情報記録媒体として期待されているが、近年、情報ネットワークの広帯域化とともにネットワークの伝送速度（たとえば搬送波周波数：100MHz）と同等の書き込み速度が要求されるようになってきている。このため、不揮発性半導体メモリに対し、スケーリング性が良好で従来の100μs/セルの書き込み速度より1桁またはそれ以上の書き込み速度の向上が要求されている。

【0003】不揮発性半導体メモリは、電荷を保持する電荷蓄積手段（浮遊ゲート）が平面的に連続したFG（Floating Gate）型のほかに、電荷蓄積手段が平面的に離散化された、例えばMONOS（Metal-Oxide-Nitride-Oxide Semiconductor）型などがある。

【0004】MONOS型不揮発性半導体メモリでは、電荷保持を主体的に担っている窒化膜〔SixNy（ $0 < x < 1$ ,  $0 < y < 1$ ）〕膜中またはトップ酸化膜と窒化膜との界面のキャリアトラップが空間的に（即ち、面方向および膜厚方向に）離散化して拡がっているために、電荷保持特性が、トンネル絶縁膜（ボトム絶縁膜）厚のほかに、SixNy膜中のキャリアトラップに捕獲される電荷のエネルギー的および空間的な分布に依存する。

【0005】このトンネル絶縁膜に局所的にリーク電流パスが発生した場合、FG型では多くの電荷がリークパスを通してリークして電荷保持特性が低下しやすいのに対し、MONOS型では、電荷蓄積手段が空間的に離散化されているため、リークパス周辺の局所的な電荷がリークパスを通して局所的にリークするに過ぎず、記憶素子全体の電荷保持特性が低下しにくい。このため、MONOS型においては、トンネル絶縁膜の薄膜化による電荷保持特性の低下の問題はFG型ほど深刻ではない。したがって、ゲート長が極めて短い微細メモリトランジスタにおけるトンネル絶縁膜のスケーリング性は、MONOS型の方がFG型よりも優れている。また、平面的に離散化したキャリアトラップの分布平面に対し電荷が局

所的に注入された場合、その電荷はFG型のように平面内および膜厚方向に拡散することなく保持される。

【0006】MONOS型不揮発性メモリで微細メモリセルを実現するにはディスタープ特性の改善が重要であり、そのためにはトンネル絶縁膜を通常の膜厚（1.6nm～2.0nm）より厚く設定する必要が生じている。トンネル絶縁膜を比較的厚膜化した場合、書き込み速度は0.1～10ms程度で未だ十分でない。つまり、従来のMONOS型等の不揮発性メモリでは、信頼性（たとえば、データ保持特性、リードディスタープ特性あるいはデータ書換え特性など）を十分に満足させた場合、書き込み速度は100μsが限界である。

【0007】書き込み速度だけを考えると高速化も可能であるが、今度は信頼性および低電圧化が十分にできない。たとえば、チャネルホットエレクトロン（CHE）をソース側から注入するソースサイド注入型MONOSトランジスタが報告されたが（IEEE Electron Device Letter 19; 1998, pp153）、このソースサイド注入型MONOSトランジスタでは、動作電圧が書き込み時12V、消去時14Vと高いうえ、リードディスタープ特性およびデータ書換え特性などの信頼性が十分でない。

【0008】その一方、従来のCHE注入方式によって電荷を離散的なトラップの一部に注入することに着目して、電荷蓄積手段のソース側とドレイン側に独立に2値情報を書き込むことにより1メモリセルあたり2ビットを記録可能な技術が報告された。たとえば“Extended Abstract of the 1999 International Conference on Solid State Devices and Materials, Tokyo, 1999, p. 522-523”では、ソースとドレイン間の電圧印加方向を入れ換えて2ビット情報をCHE注入により書き込み、読み出し時には、書き込み時と逆方向に所定電圧をソースとドレイン間に印加する、いわゆる“リバースリード”方法によって書き込み時間が短く蓄積電荷量が少ない場合でも2ビット情報を確実に読み出すことを可能としている。また、消去はホットホール注入によって行っている。この技術によって、書き込み時間の高速化とビットコストの大幅な低減が可能となった。

【0009】さらに、最近になって、2ビット/セルの記憶が可能なスプリットゲート型のMONOS型不揮発性メモリが提案された（“Twin MONOS Cell with Dual Control Gates”, 2000 Symposium on VLSI Technology Digest of Technical Papers, pp122=123）。このMONOS型不揮発性メモリでは、スプリットゲート構造を採用することにより、ゲート電極以外にコントロールゲート電極を設け、書き込みの高速化等を試みている。この書き込みの原理は、基本的にチャネルホットエレクトロン（CHE）注入であり、ドレイン周辺の不純物濃度をチャネル中央部と比較して相対的に高くすることにより、ホットエレクトロンの注入効率を大幅に改善している。

第1記憶領域外側のゲート電極および上記第2記憶領域外側のゲート電極をさらに有する。

【0019】1ビット/セル記憶の場合、好適に、上記チャネル形成領域、上記ソース・ドレイン領域、上記ゲート絶縁膜および上記ゲート電極を有するメモリトランジスタのゲート長が、上記ソース・ドレイン領域双方からホットエレクトロンを注入したとき、一方の上記ソース・ドレイン領域から注入されたホットエレクトロンの保持領域と他方の上記ソース・ドレイン領域から注入されたホットエレクトロンの保持領域との少なくとも一部が上記ゲート絶縁膜内で合体するゲート長以下である。

【0020】この不揮発性半導体記憶装置では、分離ソース線型、仮想接地線型など、ソース・ドレイン領域の一方に接続された共通線と、ソース・ドレイン領域の他方に接続された共通線とが独立に制御可能なNOR型メモリセル方式が好適である。分離ソース線型では、ソース・ドレイン領域の一方が接続された共通線を第1共通線、ソース・ドレイン領域の他方が接続された共通線を第2共通線という。その場合、第1および第2共通線がそれぞれ階層化されていてもよい。いわゆるAND型では、メモリブロック内の内部接続線としての第1および第2副線に対しメモリトランジスタが並列接続されている。

【0021】本発明の第2の観点に係る不揮発性半導体記憶装置の動作方法は、第1導電型半導体からなるチャネル形成領域と、第2導電型半導体からなり上記チャネル形成領域を挟む2つのソース・ドレイン領域と、上記チャネル形成領域上に設けられ、上記チャネル形成領域に対向した面内および膜厚方向に離散化された電荷蓄積手段を内部に含むゲート絶縁膜と、当該ゲート絶縁膜上に設けられたゲート電極とを有する不揮発性半導体記憶装置の動作方法であって、書き込み時に、ホットエレクトロンを上記ソース・ドレイン領域から上記電荷蓄積手段に注入する。書き込み時に、好適に、バンド間トンネル電流に起因したホットエレクトロンを上記ソース・ドレイン領域から上記電荷蓄積手段に注入する。

【0022】この動作方法においても、2ビット/セル記憶の場合と、1ビット/セル記憶の場合がある。2ビット/セル記憶の場合、好適に、書き込み時に、上記ゲート絶縁膜内における上記電荷蓄積手段の分布領域の一部にホットエレクトロンを注入する。すなわち、一方の上記ソース・ドレイン領域から上記ゲート絶縁膜の第1記憶領域に上記ホットエレクトロンを注入し、上記第1記憶領域へのホットエレクトロン注入と独立に、他方の上記ソース・ドレイン領域から上記ゲート絶縁膜内で上記第1記憶領域と離れた第2記憶領域にホットエレクトロンを注入する。このとき、好適に、上記ゲート絶縁膜は、上記第1、第2記憶領域間にホットエレクトロンが注入されない第3の領域を有し、この第3の領域を介して、上記電荷蓄積手段の分布領域が上記空間的に分離さ

れている。1ビット/セル記憶の場合、上記一方のソース・ドレイン領域から注入されたホットエレクトロンの保持領域と、上記他方のソース・ドレイン領域から注入されたホットエレクトロンの保持領域との少なくとも一部が、上記ゲート絶縁膜内で合体する。具体的に、たとえば、上記チャネル形成領域、上記ソース・ドレイン領域、上記ゲート絶縁膜および上記ゲート電極を有するメモリトランジスタのゲート長が、上記2つのホットエレクトロンの保持領域の少なくとも一部で合体が起こるゲート長以下である。

【0023】本発明では、書き込み時に、上記ソース・ドレイン領域と上記ゲート電極との間に所定の書き込み電圧を印加する。前記したようにゲート電極が第1～第3ゲート電極からなる場合、上記メモリトランジスタがワード方向とビット方向とに複数配置されているメモリセルアレイに対する書き込みにおいて、好適に、上記第1、第2記憶領域の一方に書き込むときは、他方側の上記第1、第2ゲート電極を電氣的にフローティング状態とするか、または上記チャネル形成領域に対し0Vあるいは逆極性の電圧を上記他方側の第1または第2ゲート電極に印加する。また、上記チャネル形成領域、上記ソース・ドレイン領域、上記ゲート絶縁膜および上記ゲート電極を有したメモリトランジスタがワード方向とビット方向とに複数配置され、ワード方向の複数のメモリトランジスタごとに上記ゲート電極がワード線により共通に接続されているメモリセルアレイに対する書き込みにおいて、好適に、動作対象のメモリトランジスタが接続されていない非選択ワード線に0V、あるいは上記チャネル形成領域に対し逆極性のバイアス電圧を印加する。

【0024】一方、上記チャネル形成領域、上記ソース・ドレイン領域、上記ゲート絶縁膜および上記ゲート電極を有したメモリトランジスタがワード方向とビット方向とに複数配置され、ビット方向の複数のメモリトランジスタごとに上記ソース・ドレイン領域の一方が第1共通線により接続され、上記ソース・ドレイン領域の他方が第2共通線により接続されているメモリセルアレイに対する書き込みにおいて、好適に、動作対象のメモリトランジスタが接続されている第1および/または第2共通線に所定の電圧を印加し、動作対象のメモリトランジスタが接続されていない第1および第2共通線に0Vまたは上記所定電圧と逆極性の電圧を印加する。

【0025】本発明では、上記ソース・ドレイン領域がワード方向のセル間で分離している場合（分離ソース線NOR型）、あるいは、上記ソース・ドレイン領域がワード方向のセル間で共通の場合（バーチャルグラウンド（VG）型）でも第1記憶領域上の第1ゲート電極と第2領域上の第2ゲート電極が分離している場合に、同一ワード線に接続されたメモリセルを1回の動作で一括して書き込みできる。すなわち、上記チャネル形成領域、上記ソース・ドレイン領域、上記ゲート絶縁膜および上

るが、本発明ではMOS構造のコントロールトランジスタが存在するため、メモリトランジスタのしきい値電圧が大きく低下し読み出し電流が増大しようとする、コントロールトランジスタがカットオフし、リミッタとして機能する。このため、このメモリセルではコントロールトランジスタのしきい値電圧により読み出し電流の上限が制御でき、無駄な電流消費がない。

【0031】また、1ビット／セルの書き込みでは、2つのソース・ドレイン領域双方から書き込みを行うことができる。その場合、ソース・ドレイン領域からの電荷注入箇所はそれぞれ局所的であるが、ソース・ドレイン領域の設計において注入部分の面積を大きくなるように最適化することにより、ゲート長がたとえば100nm以下と短い場合、電荷蓄積手段の分布面内で、一方のソース・ドレイン領域側からの電荷注入領域と、他方のソース・ドレイン領域側からの電荷注入領域が中央で少なくとも一部が合体し、ほぼ全面に対し電荷注入が行われる。このため、当該メモリトランジスタのしきい値電圧が大きく低下する。このような書き込みでは、電荷蓄積手段分布面内のほぼ全域に電荷が注入されることから、必要なしきい値電圧変化を得るための書き込み時間は、たとえば10μs以下と、従来の並列書き込みが可能ならメモリセルと比較して1桁以上短くなる。

【0032】消去時には、たとえばソース・ドレイン領域に正電圧を印加し、ソース側またはドレイン側の蓄積電荷を直接トンネル効果またはFNトンネル効果を用いて基板側に引く抜く。何れのトンネル効果を用いても、ブロック一括消去が可能である。本発明では、基本的にスプリットゲート型のメモリセルと同様のオペレーションが可能であるため、過剰消去または過剰書き込みがされ難い。

#### 【0033】

##### 【発明の実施の形態】第1実施形態

図1に、第1実施形態に係る不揮発性メモリ装置の要部回路構成を示す。図2に、NOR型メモリセルアレイの平面図を、図3に図2のB-B'線に沿った断面側から見た鳥瞰図を示す。

【0034】この不揮発性メモリ装置では、ビット線（第1共通線）が主ビット線（第1主線）と副ビット線（第1副線）に階層化され、ソース線（第2共通線）が主ソース線（第2主線）と副ソース線（第2副線）に階層化されている。主ビット線MBL1にセレクトトランジスタS11を介して副ビット線SBL1が接続され、主ビット線MBL2にセレクトトランジスタS21を介して副ビット線SBL2が接続されている。また、主ソース線MSL1にセレクトトランジスタS12を介して副ソース線SSL1が接続され、主ソース線MSL2にセレクトトランジスタS22を介して副ソース線SSL2が接続されている。

【0035】副ビット線SBL1と副ソース線SSL1

との間に、メモリトランジスタM11～M1n（たとえば、n=64）が並列接続され、副ビット線SBL2と副ソース線SSL2との間に、メモリトランジスタM21～M2nが並列接続されている。この互いに並列に接続されたn個のメモリトランジスタと、2つのセレクトトランジスタ（S11とS12、又は、S21とS22）とにより、メモリセルアレイを構成する単位ブロックが構成される。

【0036】ワード方向に隣接するメモリトランジスタM11, M21, …の各ゲートがワード線WL1に接続されている。同様に、メモリトランジスタM12, M22, …の各ゲートがワード線WL2に接続され、また、メモリトランジスタM1n, M2n, …の各ゲートがワード線WLnに接続されている。ワード方向に隣接するセレクトトランジスタS11, …は選択線SG11により制御され、セレクトトランジスタS21, …は選択線SG21により制御される。同様に、ワード方向に隣接するセレクトトランジスタS12, …は選択線SG12により制御され、セレクトトランジスタS22, …は選択線SG22により制御される。

【0037】この微細NOR型セルアレイでは、図3に示すように、半導体基板SUBの表面にnウエルWが形成されている。nウエルWは、トレンチに絶縁物を埋め込んでなり平行ストライプ状に配置された素子分離絶縁層ISOにより、ワード方向に絶縁分離されている。

【0038】素子分離絶縁層ISOにより分離された各nウエル部分が、メモリトランジスタの能動領域となる。能動領域内の幅方向両側で、互いの距離をおいた平行ストライプ状にp型不純物が高濃度に導入され、これにより、本発明の“ソース・ドレイン領域”をなす副ビット線SBL1, SBL2（以下、SBLと表記）および副ソース線SSL1, SSL2（以下、SSLと表記）が形成されている。副ビット線SBLおよび副ソース線SSL上に絶縁膜を介して直交して、各ワード線WL1, WL2, WL3, WL4, …（以下、WLと表記）が等間隔に配線されている。これらのワード線WLは、内部に電荷蓄積手段を含む絶縁膜を介してpウエルW上および素子分離絶縁層ISO上に接している。副ビット線SBLと副ソース線SSLとの間のnウエルWの部分と、各ワード線WLとの交差部分がメモリトランジスタのチャネル形成領域となり、そのチャネル形成領域に接する副ビット線部分がドレイン、副ソース線部分がソースとして機能する。

【0039】ワード線WLの上面および側壁は、オフセット絶縁層およびサイドウォール絶縁層（本例では、通常の層間絶縁層でも可）により覆われている。これら絶縁層には、所定間隔で副ビット線SBLに達するビットコンタクトBCと、副ソース線SSLに達するソースコンタクトSCとが形成されている。これらのコンタクトBC, SCは、たとえば、ビット方向のメモリランジ



この積層膜を一括して同一パターンにて加工する。続いて、サイドウォール絶縁層とともに自己整合コンタクトを形成し、自己整合コンタクトにより表出する副ビット線 SBL および副ソース線 SSL 上に、ビットコンタクト BC およびソースコンタクト SC を形成する。その後、これらプラグ周囲を層間絶縁膜で埋め込み、層間絶縁膜上に主ビット線 MBL および主ソース線 MSL を形成した後、必要に応じて行う層間絶縁層を介した上層配線の形成およびオーバーコート成膜とパッド開口工程等を経て、当該不揮発性メモリセルアレイを完成させる。

【0050】 つぎに、このような構成の不揮発性メモリのバイアス設定例および動作について、メモリトランジスタ M11 にデータを書き込む場合を例に説明する。図 5 は、書き込み時のバイアス設定条件を示す回路図、図 6 は読み出し時のバイアス設定条件を示す回路図、図 7 は消去時のバイアス設定条件を示す回路図である。また、図 8 は書き込み動作を示す素子断面図、図 9 は消去動作を示す素子断面図である。

【0051】 書き込み時に、図 5 に示すように、選択ワード線 WL1 に所定の正電圧、例えば 6.0 V を印加する。選択主ビット線 MBL1、選択主ソース線 MSL1 および選択線 SG11、SG12 に所定の正電圧、たとえば -5.0 V を印加する。また、非選択ワード線 WL2 ~ WL<sub>n</sub> に所定の書き込み禁止電圧、たとえば 0 V を印加し、非選択主ビット線 MBL2、非選択主ソース線 MSL2 および基板 (n ウエル W) に 0 V を印加する。このとき、選択線 SG21、SG22 を、電源電圧 V<sub>cc</sub> で保持する。これにより、選択副ビット線 SBL1 および選択副ソース線 SSL1 に -5 V が伝達され、非選択副ビット線 SBL2 および非選択副ソース線 SSL2 に 0 V が伝達される。

【0052】 この書き込み条件下、書き込み対象のメモリトランジスタ M11 において、選択ワード線 WL1 に印加された正電圧により、副ビット線 SBL1 および副ソース線 SSL1 をなす p 型不純物領域の表面が深い空乏状態となり、エネルギーバンドの曲がり角が急峻となる。このときバンド間トンネル効果により電子が価電子帯より伝導帯にトンネルし、p 型不純物領域側に流れる。発生したエレクトロンは、チャンネル形成領域の中央部側に若干ドリフトして、そこで電界加速され、その一部がホットエレクトロンとなる。この p 型不純物領域端で発生した高エネルギー電荷 (ホットエレクトロン) は、その運動量 (方向と大きさ) を維持しながら殆ど運動エネルギーを失うことなく効率よく、しかも高速に電荷蓄積手段であるキャリヤトラップに注入される。

【0053】 副ビット線 SBL1 をなす p 型不純物領域からの電荷注入、副ソース線 SSL1 をなす p 型不純物領域からの電荷注入は、それぞれ局所的である。ところが、本実施形態におけるメモリトランジスタのゲート長が 100 nm 以下と短いため、図 8 に示すように、電荷

蓄積手段の分布面内で、SBL 側からの電荷注入領域 14a と、SSL 側からの電荷注入領域 14b が中央で合体し、ほぼチャンネル形成領域全面に対しエレクトロン注入が行われる。このため、当該メモリトランジスタ M11 のしきい値電圧が大きく低下し、書き込みがなされる。すなわち、本実施形態では、ゲート長が短いほど、電荷蓄積手段のチャンネルに対向した全面に効率的にエレクトロンが注入される。

【0054】 一方、同じブロック内の非選択メモリトランジスタ M12、…では、ゲートとソースまたはドレインとの間に 5 V しか電圧がかからない。また、他のブロック内の非選択メモリトランジスタ M21、M22、…では、ゲートとソースまたはドレインとの間に 0 V または 6 V 程度しか電圧がかからない。したがって、電荷蓄積手段にエレクトロンが注入されず、有効に書き込みが禁止される。

【0055】 この書き込み方法では、電荷の電界加速方向と注入方向がほぼ一致するため、従来の CHE 注入方式より電荷の注入効率が高い。また、チャンネル自体は形成せずに書き込みを行うため、電流消費が少なくてすむ。ホール電流自体は小さいが、このように電荷蓄積手段分布面内のほぼ全域に電荷が注入されることから、必要なしきい値電圧変化を得るための書き込み時間は、たとえば 10 μs 以下と従来より 1 桁以上短くなる。

【0056】 以上の書き込み動作では、書き込みをすべき選択セルを含むブロックと、書き込みを禁止すべきブロックをバイアス条件により設定した。本実施形態では、全てのブロックを選択し、ワード線 WL1 に連なるセルを一括してページ書き込みすることができる。その際、上記した注入効率の改善によってビット当たりの書き込み電流が桁違いに小さくなり、従来の CHE 注入方式では 1 バイト (B) 程度であった一括並列書き込み可能なセル数が、本実施形態では 1 キロバイト (kB) 以上と格段に大きくなる。

【0057】 読み出しでは、ページ読み出しを基本とする。図 6 に示すように、主ビット線 MBL1、MBL12、…を接地した状態で、主ソース線に所定の負電圧、たとえば -1.0 V を印加する。また、非選択ワード線 WL2、WL3、…に所定の読み出し禁止電圧、たとえば 0 V を印加し、主ビット線 MBL1、MBL2、および基板 (n ウエル W) に 0 V を印加する。また、全ての選択線 SG11、SG21、SG12、SG22 を電源電圧 V<sub>cc</sub> で保持する。この状態で、読み出し対象のワード線 WL1 に所定の読み出しワード線電圧、たとえば -2.0 V を印加する。これにより、ワード線 WL1 に接続されたメモリトランジスタ M11、M21、…が書き込み状態に応じてオンまたはオフする。すなわち、電荷蓄積手段に電子が蓄積されていない消去状態のメモリトランジスタはチャンネルが形成され、電荷蓄積手段に電子が蓄積された書き込み状態のメモリトランジスタではチ

状態のメモリトランジスタを示す。第1、第2記憶領域間に、ホットエレクトロンが注入されない第3の領域が存在し、これにより2ビットのデータが確実に峻別される。

【0067】読み出しでは、読み出し対象の電荷が蓄積された第1または第2記憶領域がホール供給側（ソース側）となるように、ソース・ドレイン電圧（主ビット線MBL1および出力ソース線MSL1の電圧）の印加方向を決める。たとえば図6に示すバイアス条件において、主ソース線MSL1の印加電圧を $-1.5\text{V}$ に変更し、ソース側、すなわち副ビット線SBL1側の第2記憶領域のデータを読み出すことができる。逆に、副ソース線SSL1側の第1記憶領域のデータを読み出すときは、主ビット線MBL1を低い電圧、たとえば $-1.5\text{V}$ とし、主ソース線MSL1を高い電圧、たとえば接地電圧にする。このようにソース・ドレイン電圧方向を、第1、第2記憶領域の何れの保持データを読み出すかに応じて切り換えることにより、2ビット/セルの記憶データを独立に読み出すことが可能となる。なお、2ビットセルを微細化した場合、ドレイン電圧 $-1.0\text{V}$ で、ゲート電圧等はゲート長が $0.2\mu\text{m}$ の場合とほぼ同一となる。消去は、第1実施形態と同様である。

【0068】第2実施形態では、第1実施形態と同様にバンド間トンネル電流に起因したホットエレクトロン電流により書き込みを行うため、通常のCHE注入の場合と比較して注入効率が3桁以上改善され、高速書き込みが可能となった。また、第1実施形態よりゲート長をある程度長くすることにより、ゲート絶縁膜10のチャネル方向領域端の第1、第2記憶領域に独立に2ビットの記憶データ保持が可能となった。さらに、読み出しでは、ソースとドレイン間の印加電圧方向を切り換えることにより、1つのメモリセル当たり2ビットの記憶データを確実に読み出すことができる。また、本構造の2ビット/セル記憶のMONOSでは、中央のMOS構造のコントロールトランジスタのゲート長を短くする場合、トランジスタの形状、実効ゲート長あるいは不純物プロファイルを最適化することにより、ゲート長は $0.1\mu\text{m}$ またはそれ以下まで微細化が可能である。

【0069】以下、第3～第6実施形態に、第1、第2実施形態のメモリセルアレイの構成およびパターンの変更例について説明する。

### 【0070】第3実施形態

図12は、第3実施形態に係る分離ソース線NOR型の不揮発性半導体メモリのメモリセルアレイの概略構成を示す回路図である。

【0071】この不揮発性メモリ装置では、NOR型メモリセルアレイの各メモリセルがメモリトランジスタ1個で構成されている。図12に示すように、メモリトランジスタM11～M22が行列状に配置され、これらトランジスタ間がワード線、ビット線および分離型ソース

線によって配線されている。すなわち、ビット方向に隣接するメモリトランジスタM11およびM12の各ドレインがビット線BL1に接続され、各ソースがソース線SL1に接続されている。同様に、ビット方向に隣接するメモリトランジスタM21およびM22の各ドレインがビット線BL2に接続され、各ソースがソース線SL2に接続されている。また、ワード方向に隣接するメモリトランジスタM11とM21の各ゲートがワード線WL1に接続され、同様に、ワード方向に隣接するメモリトランジスタM12とM22の各ゲートがワード線WL2に接続されている。メモリセルアレイ全体では、このようなセル配置およびセル間接続が繰り返されている。

【0072】図13は、第3実施形態に係る微細NOR型セルアレイの概略平面図である。また、図14は、図13のA-A'線に沿った断面側から見た鳥瞰図である。

【0073】この微細NOR型メモリセルアレイでは、図14に示すように、 $n$ 型半導体基板SUB（ $n$ ウエルでも可）の表面にトレンチまたはLOCOSなどから素子分離絶縁層ISOが形成されている。素子分離絶縁層ISOは、図13に示すように、ビット方向（図12の縦方向）に長い平行ストライプ状に配置されている。素子分離絶縁層ISOにはほぼ直交して、各ワード線WL1、WL2、WL3、WL4、…が等間隔に配線されている。このワード線は、第1実施形態と同様、ボトム絶縁膜、窒化膜、トップ絶縁膜からなるゲート絶縁膜上に積層したポリシリコン等のゲート電極から構成されている。

【0074】各素子分離絶縁層ISOの間隔内の能動領域において、各ワード線の離間スペースに、基板SUBと逆導電型の不純物が高濃度に導入されてソース不純物領域Sとドレイン不純物領域Dとが交互に形成されている。このソース不純物領域Sとドレイン不純物領域Dは、その大きさがワード方向（図12の横方向）には素子分離絶縁層ISOの間隔のみで規定され、ビット方向にはワード線間隔のみで規定される。したがって、ソース不純物領域Sとドレイン不純物領域Dは、その大きさと配置のばらつきに関しマスク合わせの誤差が殆ど導入されないことから、極めて均一に形成されている。

【0075】ワード線の上部および側壁は、絶縁層で覆われている。すなわち、ワード線WL1、WL2、…の上部に同じパターンにてオフセット絶縁層が配置され、オフセット絶縁層、その下のゲート電極（ワード線）およびゲート絶縁膜からなる積層パターンの両側壁に、サイドウォール絶縁層が形成されている。このオフセット絶縁層およびサイドウォール絶縁層により、各ワード線同士のスペース部分に、ワード線に沿って細長い自己整合コンタクトホールが開口されている。

【0076】ソース不純物領域Sまたはドレイン不純物領域Dに一部重なるように、自己整合コンタクトホール



いて、各ワード線の離間スペースに、例えばn型不純物が高濃度に導入されてソース不純物領域Sとドレイン不純物領域Dとが交互に形成されている。このソース不純物領域Sとドレイン不純物領域Dは、その大きさがワード方向（図15の横方向）には素子分離絶縁層ISOの間隔のみで規定され、ビット方向にはワード線間隔のみで規定される。したがって、ソース不純物領域Sとドレイン不純物領域Dは、その大きさと配置のばらつきに関しマスク合わせの誤差が殆ど導入されないことから、極めて均一に形成されている。

【0088】各ワード線の周囲は、サイドウォール絶縁層を形成するだけで、ソース不純物領域Sとドレイン不純物領域Dとに対し、ビット線接続用のコンタクトホールとソース線接続用のコンタクトホールとが2度のセルフアラインコンタクト技術を同時に転用しながら形成される。しかも、上記プロセスはフォトマスクが不要となる。したがって、先に述べたようにソース不純物領域Sとドレイン不純物領域Dの大きさや配置が均一な上に、これに対して2次元的に自己整合して形成されるビット線またはソース線接続用のコンタクトホールの大きさも極めて均一となる。また、上記コンタクトホールはソース不純物領域Sとドレイン不純物領域Dの面積に対し、ほぼ最大限の大きさを有している。

【0089】その上でビット方向に配線されているソース線 $SL_{n-1}$ 、 $SL_n$ 、 $SL_{n+1}$ （以下、SLと表記）は、ドレイン不純物領域Dを避けながら素子分離絶縁層ISO上とソース不純物領域S上に蛇行して配置され、上記ソース線接続用のコンタクトホールを介して、下層の各ソース不純物領域Sに接続されている。ソース線SL上には、第2の層間絶縁膜を介してビット線 $BL_{n-1}$ 、 $BL_n$ 、 $BL_{n+1}$ （以下、BLと表記）が等間隔で配線されている。このビット線BLは、能動領域上方に位置し、ビット線接続用のコンタクトホールを介して、下層の各ドレイン不純物領域Dに接続されている。

【0090】このような構成のセルパターンでは、上記したように、ソース不純物領域Sとドレイン不純物領域Dの形成がマスク合わせの影響を受けにくく、また、ビット線接続用のコンタクトホールとソース線接続用のコンタクトホールが、2度のセルフアライン技術を一括転用して形成されることから、コンタクトホールがセル面積縮小の制限要素とはならず、ウェハプロセス限界の最小線幅Fでソース配線等ができ、しかも、無駄な空間が殆どないことから、 $6F^2$ に近い非常に小さいセル面積が実現できる。

#### 【0091】第5実施形態

第5実施形態は、いわゆる仮想接地型と称される、共通ソース線NOR型の不揮発性メモリ装置に関する。図16は、仮想接地NOR型のメモリセルアレイ構成を示す回路図である。また、図17は、仮想接地NOR型のメモリセルアレイの概略平面図である。

【0092】このメモリセルアレイでは、図12のようにソース線が分離されておらず、共通化されている。この共通化されたソース線は隣りのメモリセルを動作させるときはビット線として機能する。したがって、このメモリセルアレイでは、ビット方向の配線は全て“ビット線”と称する。各ビット線 $BL_1 \sim BL_3$ は、図17に示すように、半導体の不純物領域からなる拡散層配線（副ビット線 $SBL_1$ 、 $SBL_2$ 、…）と、図示しないビットコンタクトを介して各副ビット線 $SBL_1$ 、 $SBL_2$ 、…に接続されたメタル配線（主ビット線 $MBL_1$ 、 $MBL_2$ 、…）とからなる。このメモリセルアレイのパターンでは、素子分離絶縁層ISOが全くなく、その分、第1～第4実施形態のメモリセルアレイよりセル面積が縮小されている。なお、その1本おき、たとえばビット線 $BL_1$ と $BL_3$ を、図示しないビットコンタクトを介して上層のメタル配線に接続させてもよい。

【0093】本実施形態では、第1、第2実施形態で副ビット線 $SBL$ および副ソース線 $SSL$ に伝達した電圧を、主ビット線 $MBL$ および主ソース線 $SL$ に直に印加する。これにより、第1、第2実施形態と同様な動作、すなわち書き込み、読み出しおよび消去が可能となる。各トランジスタにおける電荷の注入等のされ方は第1実施形態と同様であり、ここでの説明は省略する。仮想接地NOR型では、ソース線が共通化されているため、一般に、ワード方向に隣接したメモリトランジスタへの誤書き込みが問題となる。しかし、第1実施形態に仮想接地NOR型を適用した場合、ソース側とドレイン側双方から電荷注入して初めて大きなしきい値電圧変化となることから、ワード方向に隣接した非選択メモリトランジスタは誤書き込みされにくいという利点がある。

#### 【0094】第6実施形態

第6実施形態は、いわゆるFG型におけるHiCR型と同様の、共通ソース線NOR型の不揮発性メモリ装置に関する。図18は、第6実施形態に係わるメモリセルアレイの概略平面図である。なお、メモリセルアレイの回路図は、第5実施形態と同様であり図16が適用される。

【0095】このメモリセルアレイでは、図18のように、ワード方向に隣接する2つのメモリトランジスタ間でソース線（主ソース線 $MSL$ および副ソース線 $SSL$ ）が共通に設けられている。したがって、素子分離絶縁層ISOは、副線（副ビット線 $SBL_n$ 、 $SBL_{n+1}$ および副ソース線 $SSL$ ）3本ごとに設けられている。このメモリセルアレイのパターンでは、第1～第4実施形態と比較すると素子分離絶縁層ISOが少なく、その分、第1～第4実施形態のメモリセルアレイよりセル面積が縮小されている。

【0096】本実施形態では、第1、第2実施形態で副ビット線 $SBL$ および副ソース線 $SSL$ に伝達した電圧を、主ビット線 $MBL$ および主ソース線 $SL$ に直に印加

ス線SSL1はオープンとし、電氣的フローティング状態とする。また、選択ワード線WL1に所定の正電圧、たとえば6Vを印加し、他の非選択ワード線WL2~WLnに所定の書き込み禁止電圧、たとえば0Vを印加し、基板(nウェルW)に0Vを印加する。

【0106】この書き込み条件下、書き込み対象行の複数のメモリトランジスタにおいて、選択ワード線WL1に印加された正電圧により、所定の負電圧(-5V)が印加された副ビット線SBL1、SBL2および副ソース線SSL2をなすp型不純物領域の表面が深い空乏状態となり、その結果、第1、第2実施形態と同様な原理により、ホットエレクトロンが効率よく、しかも高速に電荷蓄積手段であるキャリアトラップに注入される。この結果、メモリトランジスタしきい値電圧が、消去状態の $V_{th0} = -2.5V \sim -2.3V$ から減少して、書き込み状態の $V_{thp}$  ( $\geq -0.5V$ )に変化する。

【0107】一方、非選択行のメモリトランジスタM12, 22, ...では、ゲートとソースまたはドレインとの間に6V程度しか電圧がかからない。したがって、電荷蓄積手段にホットエレクトロンが注入されず、有効に書き込みが禁止される。

【0108】この書き込み方法では、電荷の電界加速方向と注入方向がほぼ一致するため、従来のCHE注入方式より電荷の注入効率が高い。また、チャネル自体は形成せず書き込みを行うため、電流消費が少なくてすむ。電流自体は小さいが、このように電荷蓄積手段分布面内のほぼ全域に電荷が注入されることが、必要なしきい値電圧変化を得るための書き込み時間は、たとえば $10\mu s$ 以下と従来より1桁以上短くなる。また、この書き込みでは、副ビット線SBL1をなすp型不純物領域からの電荷注入、副ソース線SSL1をなすp型不純物領域からの電荷注入は、それぞれ局所的である。すなわち、本実施形態では、電荷を注入できる領域が第1記憶領域R1または第2記憶領域R2に限定されるため、過剰の書き込みが防止できる。

【0109】さらに、副線SBL, SSLへの印加電圧の組合せを設定しワード線を立ち下げるだけの1回の動作でページ書き込みができる。その際、上記した注入効率の改善によってビット当たりの書き込み電流が桁違いに小さくなり、従来のCHE注入方式では1バイト

(B)程度であった一括並列書き込み可能なセル数が、本実施形態では1キロバイト(kB)以上と格段に大きくなる。なお、ページ書き込みを行わない場合は、書き込みをすべき選択セル列と、書き込みを禁止すべき非選択セル列をバイアス条件により区別し、その選択セル列のみに対する書き込みも可能である。

【0110】読み出しでは、ページ読み出しを基本とする。第2記憶領域R2のビットを読み出す場合、図22(A)に示すように、副ビット線SBL1, SBL2, ...に所定のドレイン電圧、たとえば-1.5Vを印加

し、副ソース線SSL1, SSL2, ...および基板に0Vを印加する。また、非選択ワード線WL2, WL3, ...に所定の読み出し禁止電圧、たとえば0Vを印加する。この状態で、読み出し対象のワード線WL1に所定の読み出しゲート電圧、たとえば-4.5Vを印加する。これにより、ワード線WL1に接続されたメモリトランジスタM21, ...の第2記憶領域R2が書き込み状態の場合、そのメモリトランジスタM21がオンし、読み出し電流 $I_{\text{out}}$ が図のように流れて副ビット線電圧が変化する。一方、第2記憶領域R2が書き込み状態でないメモリトランジスタM11は、しきい値電圧が高いままでありオフ状態を維持する。その後、オンしたメモリトランジスタを介してプリチャージ電荷がソース線に流れた副ビット線SBL2等の電圧変化を、図示しないセンスアンプ等で増幅して読み出す。第1記憶領域R1の読み出しは、ドレイン電圧-1.5Vを上記とは逆方向に印加することで達成される。

【0111】ところで、チャネル中央部にMOS型コントロールトランジスタがない第2実施形態のトランジスタ構造では、書き込み時にエレクトロンの注入が過剰に行われメモリトランジスタのしきい値電圧が大きく低下すると、読み出し時の電流量がばらつく上、電流消費も無駄が多い。

【0112】本実施形態のようにチャネル中央部(第3の領域R3)にMOSトランジスタが形成された構造では、第3の領域R3におけるMOSトランジスタのしきい値電圧 $V_{th}(MOS)$ が、たとえば $-0.5V \sim -0.7V$ 程度に予め設定されている。このため、メモリトランジスタに過剰書き込みがされている場合でも、その影響を読み出し時に受けない。なぜなら、メモリトランジスタのしきい値電圧が大きく低下し読み出し電流が増大しようとする、MOS型のコントロールトランジスタがカットオフリミッタとして機能するからである。したがって、このメモリセルではセレクトトランジスタのしきい値電圧制御を通して読み出し電流の上限が制御でき、無駄な電流消費がないという利点がある。

【0113】消去は、第1、第2実施形態と同様、チャネル全面、FNトンネリングまたは直接トンネリングを用いてチャネル全面から電子を引き抜くことにより行う。直接トンネリングを用て全ブロックを一括消去する場合、たとえば図23(A)に示すように、全てのワード線WL1, WL2, ...に-5V、全ての副ビット線SBL1, SBL2, ...、全ての副ソース線SSL1, SSL2, ...および基板(pウェルW)に5Vを印加する。

【0114】これにより、図23(B)に示すように、電荷蓄積手段に保持されていた電子が基板側に引き抜かれ、しきい値電圧が上昇して消去が行われる。この電子引き抜きによる消去時間は $10ms$ 程度まで低減でき、従来の直接トンネル効果によるホール注入消去時間の典

込みが禁止される。

【0124】この書き込み方法では、第7実施形態と同様の効果、すなわちページ書き込みを、電荷の注入効率が高く、高速に、しかも少ない電流消費で達成できる。

【0125】読み出しでは、ページ読み出しを基本とし、基本的な印加バイアス値、すなわちドレイン側に $-1.5V$ 、ソース側に $0V$ 、そしてゲートに $-4.5V$ を印加する事自体は第7実施形態と同様である。ただし、本実施形態では、このビット方向の共通線（ビット線 $BL1, BL2, \dots$ ）がワード方向に隣接した2メモリスル間で共通化されている。このため、第6実施形態と同様に、ビット方向の共通線に対し $-1.5V$ と $0V$ を交互に印加すると、 $-1.5V$ を印加した共通線（ビット線）に、これに接続した2メモリスル分のデータが読み出されてしまいデータ判別が不可能となってしまう。そこで、一方のメモリスルは、コントロールゲートCGをオンさせてチャンネルをカットオフしておく必要がある。すなわち、1回の読み出し動作で、1列ごとにしか読み出せない。第1記憶領域 $R1$ 、第2記憶領域 $R2$ の読み出しで2回の動作を必要とするため、結局、1ページの読み出しに4回の動作サイクルを要することとなる。

【0126】消去は、前記した他の実施形態と同様である。

#### 【0127】第9実施形態

第9実施形態は、2ビット/セル書き込みが容易な分離ソース線NOR型の他のメモリ素子例に関する。

【0128】図26は、第9実施形態に係るメモリスルアレイの構成例を示す回路図である。このメモリスルアレイでは、各メモリスルにおいて、中央がビット方向の制御線 $CL1, CL2, \dots$ に接続されたMOS構造のコントロールトランジスタとなっており、その両側それぞれに、ゲートがワード線 $WL1, WL2, \dots$ に接続されたメモリスルが形成されている。

【0129】図27(A)に、第9実施形態に係るメモリスルの第1の構造例を示す。このメモリスル構造は、第7実施形態（図20）に示すメモリスル構造と比べると、第1記憶領域 $R1$ 、第2記憶領域 $R2$ および第3の領域 $R3$ ごとにゲート電極が分離して設けられている。すなわち、チャンネル形成領域中央部に形成されコントロールゲートCGと、そのコントロールゲートCGと絶縁分離され、チャンネル方向両側に設けられ、ワード線WLに接続されたゲート電極 $15a, 15b$ とを有する。コントロールゲートCGは、ソース側とドレイン側で空間的に分離された2つのゲート積層パターン、すなわちゲート電極 $15a$ とゲート絶縁膜 $10a$ との積層パターンと、ゲート電極 $15b$ とゲート絶縁膜 $10b$ との積層パターンとの間に、ゲート絶縁膜 $17$ を介して埋め込まれている。

【0130】このメモリスルの種々ある形成法の一例においては、たとえば、ゲート絶縁膜 $10a, 10b$ とゲ

ート電極 $15a, 15b$ となる導電膜を全面に形成した後、2つのゲート電極 $15a, 15b$ のパターンニング時に、ゲート絶縁膜 $10a, 10b$ を一括して加工する。これにより、副ビット線 $SBLi$ 側と、副ビット線 $SBLi+1$ 側に空間的に分離して、2つのゲート電極 $15a, 15b$ とゲート絶縁膜 $10a, 10b$ の積層パターンが形成される。その後、全面に絶縁膜 $17$ とコントロールゲートCGとなる導電膜とを堆積し、これらの膜をエッチバックする。これにより、2つのゲート電極 $15a, 15b$ とゲート絶縁膜 $10a, 10b$ の積層パターン間に、ゲート絶縁膜 $17$ とコントロールゲートCGが埋め込まれるように形成される。

【0131】このように形成されたメモリスルでは、第7実施形態と同様に過剰書き込みの影響を低減するために、チャンネル形成領域中央部に、ワード線に接続されたMOS型のコントロールトランジスタが形成されている。このコントロールトランジスタのしきい値電圧は、たとえば $-0.5V \sim -0.7V$ に設定される。また、ビット線 $BLi, BLi+1$ をなす不純物領域上に、電荷蓄積手段を含み電荷保持能力を有したONO膜タイプのゲート絶縁膜 $10a, 10b$ を介してゲート電極 $15a, 15b$ が配置され、これによりメモリスルが形成されている。

【0132】図27(B)に、第9実施形態に係るメモリスルの第2の構造例を示す。前記した図27(A)ではゲート電極 $15a, 15b$ が2つに分離されていたが、このメモリスル構造ではメモリスルのゲート電極 $18$ が、単一の導電材料から一体に形成されている。このゲート電極 $18$ は図26におけるワード線WLを構成し、ONOタイプのゲート絶縁膜 $10$ を間に挟んで、中央のコントロールゲートCG上に交差している。このため、ONOタイプのゲート絶縁膜 $10$ は、コントロールゲートCGとソース・ドレイン領域（ビット線 $BLi$ または $BLi+1$ ）との間のチャンネル形成領域部分上にそれぞれ接触している。このゲート絶縁膜 $10$ のチャンネル形成領域に接触した部分が第1、第2記憶領域 $R1, R2$ となる。また、コントロールゲートCGの下側のゲート絶縁膜 $17$ は単層の絶縁膜からなり、この単層の絶縁膜が電荷保持能力を有しない第3の領域 $R3$ となる。

【0133】この第2の構造のメモリスルは、電荷保持能力を有したONOタイプのゲート絶縁膜 $10$ を2つに分離する必要がない。すなわち、p型不純物領域（ビット線 $BLi, BLi+1$ ）が形成されたnウェルW上に、コントロールゲートのゲート積層パターン（ $17, CG$ ）をビット方向に長く形成した後、ゲート絶縁膜 $10$ を第1実施形態と同様な方法によって成膜し、ゲート電極 $18$ となる導電膜を堆積し、この導電膜とゲート絶縁膜 $10$ をワード方向に長いパターンに一括して加工する。したがって、製造プロセスが簡素化でき、作りやす

は、平面方向に離散化されたキャリアトラップとして機能する。そのトラップレベルは、周囲の酸化シリコンとのバンド不連続値で推定可能で、その推定値では約3.1 eV程度とされる。この大きさの個々のSiナノ結晶22は、数個の注入電子を保持できる。なお、Siナノ結晶22を更に小さくして、これに単一電子を保持させてもよい。

#### 【0146】第11実施形態

第11実施形態は、メモリトランジスタの電荷蓄積手段として絶縁膜中に埋め込まれ互いに分離した多数の微細分割型フローティングゲートを用いた不揮発性半導体記憶装置（以下、微細分割FG型という）に関する。

【0147】図29は、この微細分割FG型メモリトランジスタの素子構造を示す断面図である。本実施形態の微細分割FG型不揮発性メモリでは、メモリトランジスタがSOI基板に形成され、そのゲート絶縁膜30が、ボトム絶縁膜31、その上の電荷蓄積手段としての微細分割型フローティングゲート32、および微細分割型フローティングゲート32を埋め込む酸化膜33とからなる。この微細分割フローティングゲート32は、第10実施形態のSiナノ結晶22とともに本発明でいう“小粒径導電体”の具体例に該当する。

【0148】SOI基板としては、酸素イオンをシリコン基板に高濃度にイオン注入し基板表面より深い箇所に埋込酸化膜を形成したSIMOX (Separation by Implanted Oxygen) 基板や、一方のシリコン基板表面に酸化膜を形成し他の基板と張り合わせた張合せ基板などが用いられる。このような方法によって形成され図29に示したSOI基板は、半導体基板SUB、分離酸化膜34およびシリコン層35とから構成され、シリコン層35内に、副ソース線SSL（ソース不純物領域S）、副ビット線SBL（ドレイン不純物領域D）が設けられている。両不純物領域間がチャネル形成領域となる。なお、半導体基板SUBに代えて、ガラス基板、プラスチック基板、サファイア基板等を用いてもよい。

【0149】微細分割フローティングゲート32は、通常のFG型のフローティングゲートを、その高さが例えば5.0 nm程度で、直径が例えば8 nmまでの微細なポリSiドットに加工したものである。本例におけるボトム絶縁膜31は、第1実施形態よりやや厚いが、通常のFG型に比べると格段に薄く形成され、使用用途に応じて2.5 nmから4.0 nmまでの範囲内で適宜選択できる。ここでは、最も薄い2.5 nmの膜厚とした。

【0150】このような構成のメモリトランジスタの製造では、SOI基板上にボトム絶縁膜31を成膜した後、例えばLP-CVD法で、ボトム絶縁膜31の上にポリシリコン膜（最終膜厚：5 nm）を成膜する。このLP-CVDでは、原料ガスがDCSとアンモニアの混合ガス、基板温度が例えば650℃とする。つぎに、例えば電子ビーム露光法を用いて、ポリシリコン膜を直径

が例えば8 nmまでの微細なポリSiドットに加工する。このポリSiドットは、微細分割型フローティングゲート32（電荷蓄積手段）として機能する。その後、微細分割型フローティングゲート32を埋め込むように、酸化膜33を、例えば9 nmほどLP-CVDにより成膜する。このLP-CVDでは、原料ガスがDCSとN<sub>2</sub>Oの混合ガス、基板温度が例えば700℃とする。この時、微細分割型フローティングゲート32は酸化膜33に埋め込まれ、酸化膜33表面が平坦化される。平坦化が不十分な場合は、新たに平坦化プロセス（例えばCMP等）を行うとよい。その後、ワード線WLとなる導電膜を成膜し、ゲート積層膜を一括してパターンニングする工程を経て、当該微細分割FG型メモリトランジスタを完成させる。

【0151】このようにSOI基板を用い、フローティングゲートが微細に分割されることについては、素子を試作して特性を評価した結果、予想通りの良好な特性が得られることを確認した。

#### 【0152】変形例

以上述べてきた第1～第11実施形態において、さらに種々の変形が可能である。

【0153】上記した実施形態では、消去をFNトンネリングまたは直接トンネリングを用いたがチャネルホットホール注入を用いて、局所的に蓄積されている電子を消去することも可能である。

【0154】とくに図示しないDINOR型など、他のNOR型セルに対し本発明が適用できる。

【0155】本発明における“平面的に離散化された電荷蓄積手段”は、窒化膜バルクのキャリアトラップおよび酸化膜と窒化膜界面付近に形成されたキャリアトラップを含むことから、ゲート絶縁膜がNO (Nitride-Oxide) 膜なるMNOS型であっても本発明が適用できる。

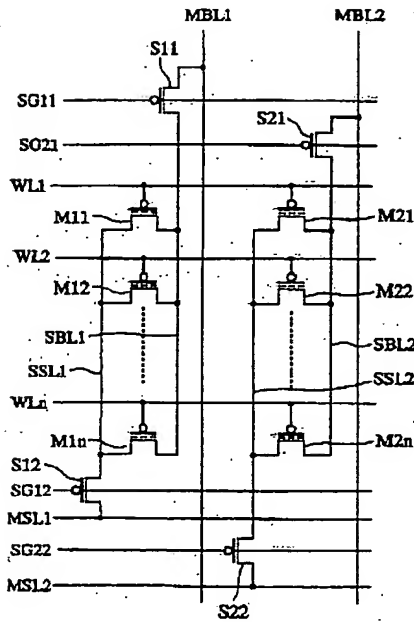
【0156】本発明は、スタンドアロン型の不揮発性メモリのほか、ロジック回路と同一基板上に集積化したエンベデッド型の不揮発性メモリに対しても適用可能である。

#### 【0157】

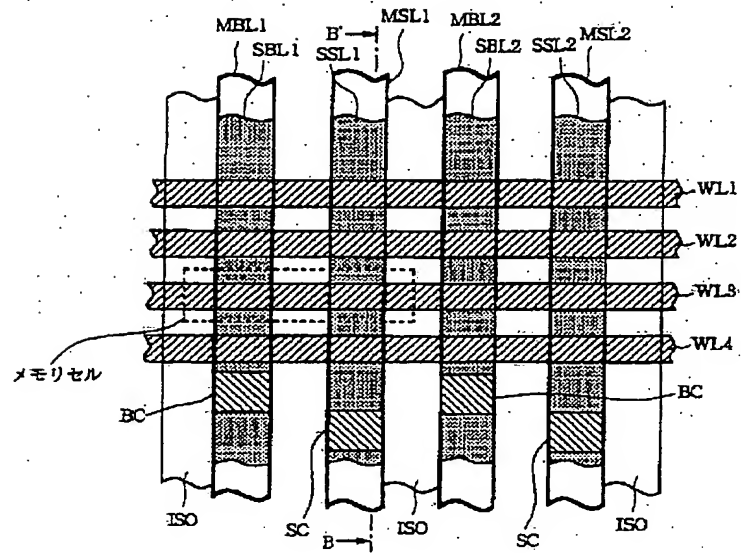
【発明の効果】本発明に係る不揮発性半導体記憶装置およびその動作方法によれば、書き込み時に、たとえばバンド間トンネル電流に起因したホットエレクトロンによって、効率よく、しかも高速に平面的に離散化された電荷蓄積手段に電荷を注入することができる。この書き込みはチャネルを形成せずに行うため、従来のCHE注入のようにパンチスルーの発生が要因でゲート長を短くできないという不利益は解消する。むしろ、この書き込みでは、ゲート長を短くすればするだけ大きなしきい値電圧変化が得られ、より高速書き込みが可能となる。

【0158】一方、2ビット/セル記憶の場合は、電荷注入箇所が局所的で過剰書き込みが防止でき、また高温での電荷拡散が防止でき、信頼性が高い。また、チャネ

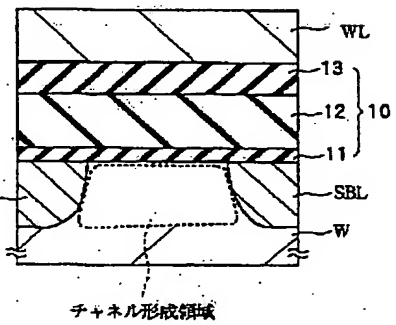
【図 1】



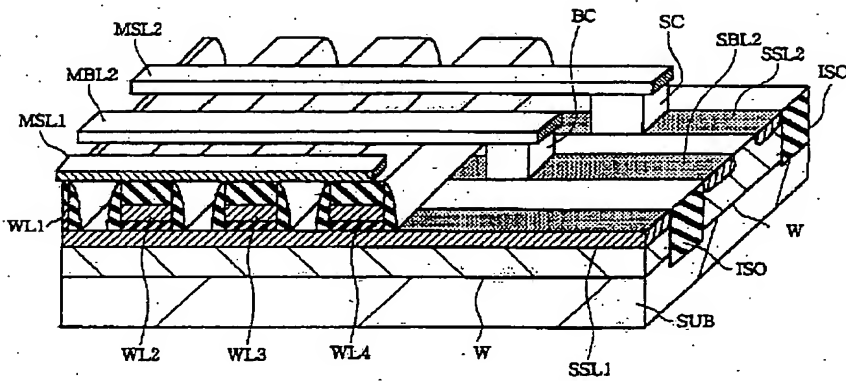
【図 2】



【図 4】

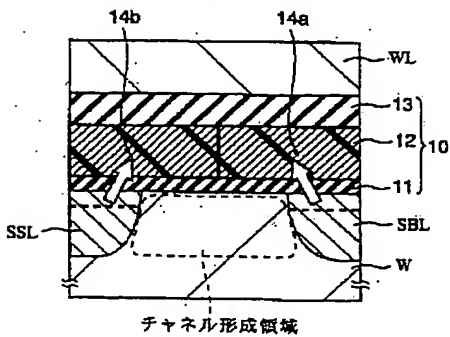


【図 3】



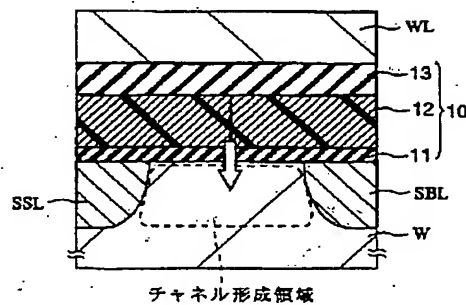
【図 8】

書き込み

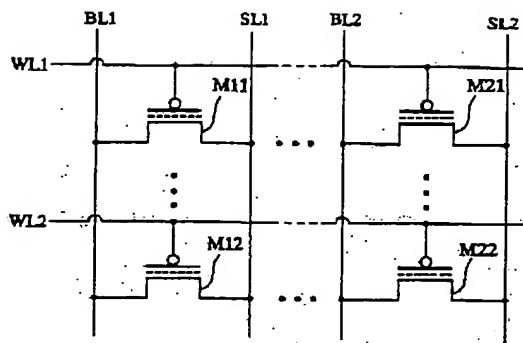


【図 9】

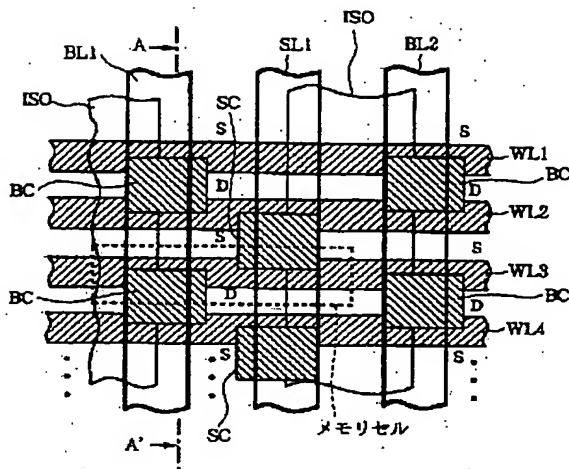
消去



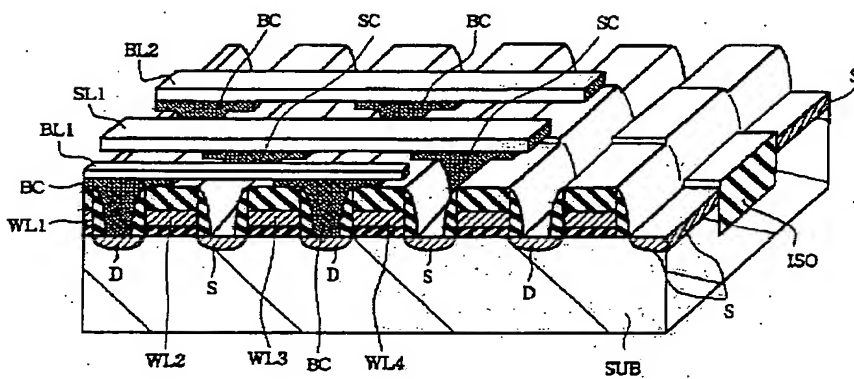
【図12】



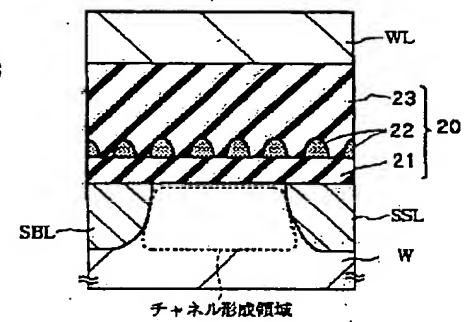
【図13】



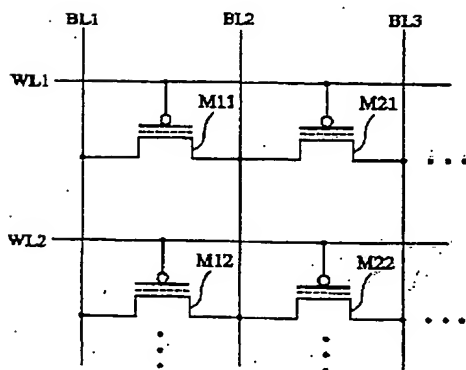
【図14】



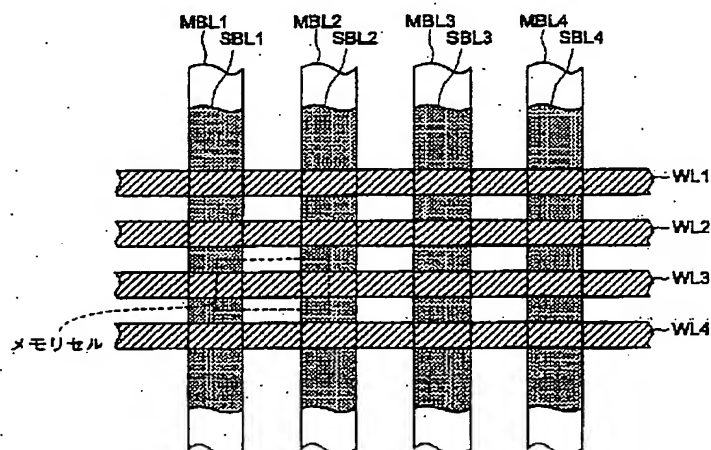
【図28】



【図16】

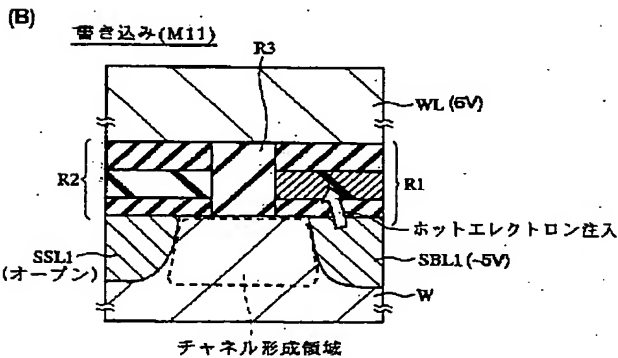
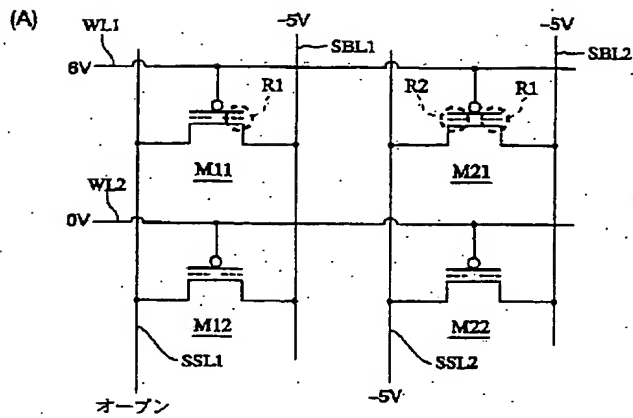


【図17】

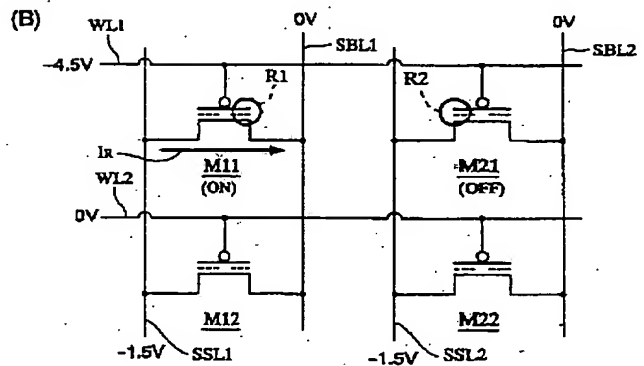
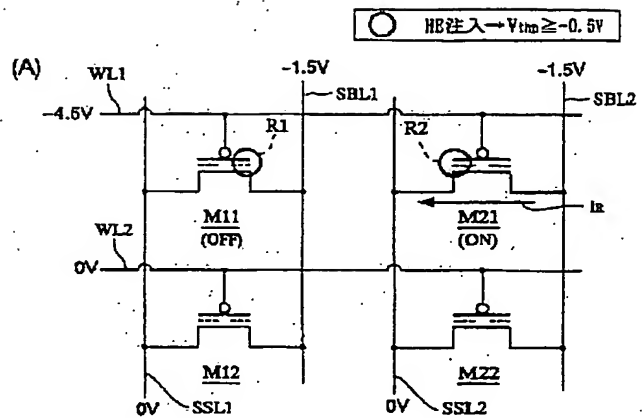




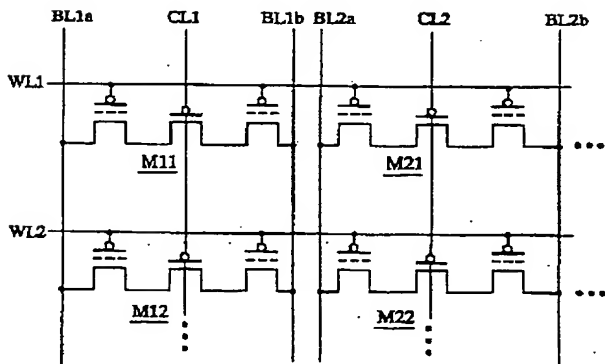
【図 21】



【図 22】



【図 26】



【図 27】

